

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-185482

(43)Date of publication of application : 20.09.1985

(51)Int.Cl.

H04N 9/28
G09G 1/04

(21)Application number : 59-040313

(71)Applicant : HITACHI LTD

(22)Date of filing : 05.03.1984

(72)Inventor : FUNADA ETSUO

OSAWA MICHITAKA

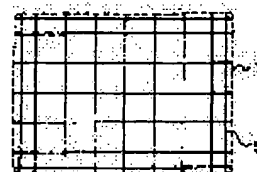
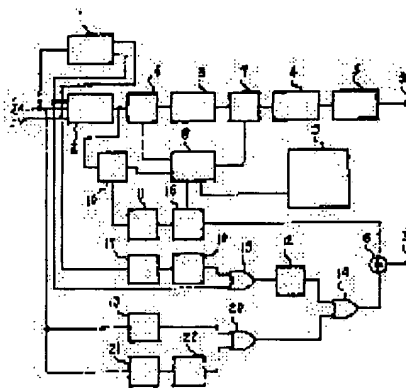
OKUBO SHIGEYOSHI

(54) DIGITAL CONVERGENCE DEVICE

(57)Abstract:

PURPOSE: To apply convergence correction with high accuracy by providing a cross hatch pattern generating circuit forming a longitudinal line at both left/ right ends of screen in addition to longitudinal and lateral lines of equal interval and forming a lateral line at both upper/lower ends of the screen so as to extrapolate a correction amount to an adjusting point at the outside of the screen.

CONSTITUTION: A PLL circuit 1 forms an fCLK1 being a frequency N-times fH and a frequency fCLK2 being a frequency M times from a clock signal obtained through M×N multiple of a horizontal deflection frequency (f). A counter 17 counts the fCLK2 of the longitudinal line appearing at both the left/right ends of the screen and a decoder 18 decodes the position at both left/right ends of the screen. The output and the fCLK1 are ORed and a longitudinal line signal of the cross hatch pattern having the longitudinal line at both the left/right ends of the screen is formed through a monostable multivibrator 12. The lateral line of equal interval is generated by frequency-dividing the horizontal deflection frequency fH by a frequency divider 13. The counter 21 counts the fH from the lateral line of both upper/lower screen, and a decoder 22 decodes the position at both ends of upper/lower screen. The signals are ORed by OR circuits 14, 20 and a video output syntheizing the marker signal and the cross hatch pattern signal is obtained by a



synthesis circuit 15.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

昭60-185482

⑤ Int.Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和60年(1985)9月20日

H 04 N 9/28
G 09 G 1/048420-5C
8121-5C

審査請求 未請求 発明の数 1 (全5頁)

⑥ 発明の名称 デジタルコンバーゼンス装置

⑦ 特 願 昭59-40313

⑧ 出 願 昭59(1984)3月5日

⑨ 発 明 者 船 田 悦 雄 横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

⑩ 発 明 者 大 沢 通 孝 横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

⑪ 発 明 者 大 久 保 重 義 横浜市戸塚区吉田町292番地 株式会社日立製作所横浜工場内

⑫ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑬ 代 理 人 弁理士 高橋 明夫 外1名

明 細 書

1. 発明の名称 デジタルコンバーゼンス装置
2. 特許請求の範囲

ラスト・スキャン方式のカラーディスプレイで、水平方向 m 個、垂直方向 n 個の m 列 \times n 行のコンバーゼンス調整点を持ち、各調整点での補正量を、記憶装置の夫々該当する番地にデジタル的に記憶させ、画面走査に同期して此の記憶された補正量を読み出し、コンバーゼンス補正を行うデジタルコンバーゼンス装置において、画面内の調整点を選択しているか、画面外の調整点を選択しているかを、マーカで表示する手段と、この手段と連動し、調整用クロスハッチパターンとして、画面内方の等間隔の縦線や横線の間隔とは必ずしも一致しない間隔で画面周辺に縦線および横線を映出させる回路とを備え、この画面周辺に映出した線から得た補正量により、上記画面外の調整点での補正量を外挿してコンバーゼンス補正に用いるようにしたことを特徴とするデジタルコンバーゼンス

装 置。

3. 発明の詳細な説明

〔 発明の利用分野 〕

本発明は、カラーディスプレイの画面周辺のコンバーゼンスずれを高精度で補正できるデジタルコンバーゼンス装置に関する。

〔 発明の背景 〕

従来久しくコンバーゼンス補正回路として、水平フライバックパルス及び垂直偏向波形から L 、 C 、 R などの受動素子を用いてアナログ的にコンバーゼンス補正波形を得る方法が用いられて来たが、コンバーゼンス補正精度の点で問題があった。また一層精度の高いコンバーゼンス補正を行う方法として、近年デジタル的にコンバーゼンス補正を行う方法が提案されている。デジタル・コンバーゼンス補正の概念は各調整点におけるコンバーゼンス補正量を、記憶装置の調整点夫々に対応する番地に記憶させ電子ビームの画面走査に同期して此の記憶された補正量を読み出し $D-A$ 変換して、コンバー

センス補正波形を作り出そうとするものである。この従来のディジタルコンバーゼンス補正装置を第1, 2図を用いて説明する。

第1図において、1は水平偏向周波数 f_H をN週倍するPLL回路、2は画面走査に同期したアドレスを発生するアドレスカウンタ、3は補正データを記憶するフレームメモリ、4はDA変換器、5はローパスフィルタ、6はアドレスの切り換えを行うマルチプレクサ、7はデータの切り換えを行うマルチプレクサ、8はマイクロコンピュータ、9はキーボード、10は一致検出回路、11及び12は単安定マルチ、13は分周回路、14はオア回路、15は合成回路、30はクロスハッチパターン及びマーカーを出力するビデオ出力端子、31は補正波形の出力端子である。また第2図において、50はディスプレイ画面、51はクロスハッチパターンである。

コンバーゼンスの調整は、画面上に調整用パターンとしてクロスハッチを映出して、キーボードで行う。まず調整しようとする色の電子ビ

ームをキーボードより選択する。次にマーカー移動キーにより、調整しようとする調整点を選択する。選択された調整点はクロスハッチパターンより輝度の高い輝点をマーカーとして調整者に調整点位置を知らせる。そして画面を見ながらデータ書き込みキーにより、メモリに記憶する補正データを増大あるいは減少させて、赤、緑、青のビームが一致するように補正データを修正して行く。以下同様にして画面内全ての調整点について行う。調整点間の補正量については、水平方向はローパスフィルタ5により補間が行われ、垂直方向は上下に隣接する調整点の補正データよりマイクロコンピュータ8で補間演算を行い、フレームメモリ3に書き込む。また画面周辺でのコンバーゼンス補正精度を向上させるため、フレームメモリは画面外にも存在し、画面内の補正データより、外挿演算を行ってフレームメモリに書き込んでいる。以上述べたように補正すると、各調整点は独立に補正できるので、精度よくコンバーゼンス補正が行えるが、画面外に

存在するフレームメモリの補正データについては外挿であるため、最適な補正データとならない場合がある。

これに対し、画面外にも調整点を設け、最適な補正データとし画面周辺のコンバーゼンス補正精度を更に上げようとする試みがある。しかし、調整点が画面外にあるため画面周辺を見て調整することになる。この場合、第2図に示す従来の等間隔な縦線、横線によるクロスハッチパターンでは、まず画面左右両端を調整しようとした時、横線は画面左右両端まであるので横線のコンバーゼンス調整は可能であるが、縦線については画面左右両端に存在しないため調整が不可能である。また画面上下両端においては縦線は画面上下両端まであるが、横線が上下両端に存在しないため、横線のコンバーゼンス調整が不可能であるという欠点を有していた。

〔発明の目的〕

本発明の目的は画面外に存在する調整点においても調整を可能とし、画面周辺のコンバーゼ

ンス補正精度を向上させたディジタルコンバーゼンス装置を提供することにある。

〔発明の概要〕

上記目的を達成するために本発明においては、画面外に存在する調整点の調整を可能とするために調整用クロスハッチパターンとして、等間隔の縦線および横線のほかに、画面左右両端に縦線を作り、また画面上下両端に横線を作り出すクロスハッチパターン発生回路を設け、これら画面周辺に付加された縦線、横線を用いて画面周辺部のコンバーゼンス補正量を求め、この補正量から画面外に存在する調整点における補正量を外挿して、これら画面外に存在する調整点に対する補正量を用いて高精度なコンバーゼンス補正が行えるようにした。

〔発明の実施例〕

以下、本発明の一実施例を第3, 4図を用いて説明する。ここで第1, 2図の場合と同じものについては同じ番号をつけて表す。第3図に示したPLL回路1では、水平偏向周波数 f_H を

M×N 週倍したクロック信号より f_H の N 倍の周波数である f_{CLK1} とこの f_{CLK1} の M 倍の周波数である f_{CLK2} を作り出している。画面左右両端に出す縦線はカウンタ 17 により f_{CLK2} をカウントして、デコーダ 18 で画面左右両端の位置をデコードする。このデコードされた出力と f_{CLK1} のオアを取り、単安定マルチ 12 を通すことにより画面左右両端にも縦線のあるクロスハッチパターンの縦線の信号を作り出すことが出来る。横線については分周器 13 により水平偏向周波数 f_H を分周することにより等間隔の横線を発生する。画面上下両端の横線は f_H をカウンタ 21 でカウントし、デコーダ 22 で画面上下両端の位置をデコードすることにより作り出す。これらのクロスハッチパターンの縦線および横線を発生する信号は、オア回路 14 及び 20 でオアを取り、合成回路 15 により、マーカ信号とクロスハッチパターン信号を合成したビデオ出力となる。またマーカ信号はアドレスカウンタ 2 とマイクロコンピュータ 8 より与えられるアドレスの一致を一致

検出回路 10 により検出し、この検出パルスを単安定マルチ 11 によりパルス幅を狭めた信号を作ることにより得られたマーカ信号を更にマーカ制御回路 16 を通してマーカの点灯及び点滅の制御をマイクロコンピュータ 8 で行う。このマーカの制御は画面内の調整点の時に点灯状態とし、画面外の調整点の時は画面内の調整点の最外周の位置で点滅することにより画面外の調整点を選択したことを調整者に判るようにしてある。以上の説明による回路構成により画面に映出されるクロスハッチパターンは第 4 図に示すように画面左右両端に縦線が存在し、画面上下両端にも横線のあるクロスハッチパターンとなる。
〔発明の効果〕

以上説明したように本発明によれば、画面外調整点のコンバーゼンス補正は、画面左右両端および上下両端にも交差する縦横の線があるので、この縦横の線を見て画面外の調整点のコンバーゼンス調整を行うことにより、従来通常の等間隔の縦横線よりなるクロスハッチパターン

7

の最外周部の調整点の補正量から外挿演算で算出する補正データより遙かに精度の高い補正データを得ることができる。

4. 図面の簡単な説明

第 1 図は従来のデジタルコンバーゼンス装置のブロック図、第 2 図は従来のコンバーゼンス調整用クロスハッチパターンの図、第 3 図は本発明一実施例のブロック図、第 4 図は本発明に係るコンバーゼンス調整用クロスハッチパターンの図である。

- 1 … PLL 回路、 2 … アドレスカウンタ、
3 … フレームメモリ、 4 … DA 変換器、
5 … ローパスフィルタ、
6, 7 … マルチプレクサ、
8 … マイクロコンピュータ、
9 … キーボード、 10 … 一致検出回路、
11, 12 … 単安定マルチ、
13 … 分周回路、 14, 19, 20 … オア回路、
15 … 合成回路、 16 … マーカ制御回路、
17, 21 … カウンタ、 18, 22 … デコーダ、

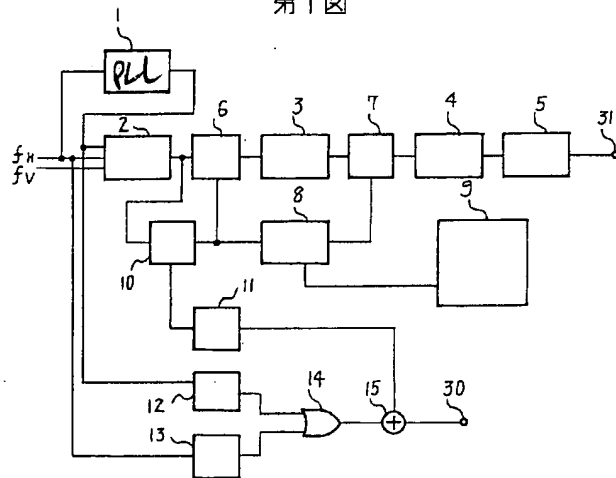
9

8

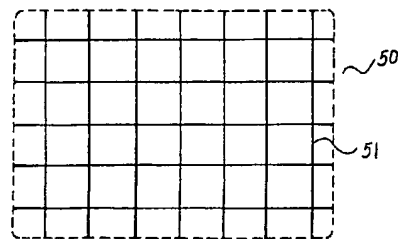
- 30 … ビデオ信号出力端子、
31 … 補正波形出力端子、
50, 51 … クロスハッチパターン。

代理人弁理士 高橋明夫

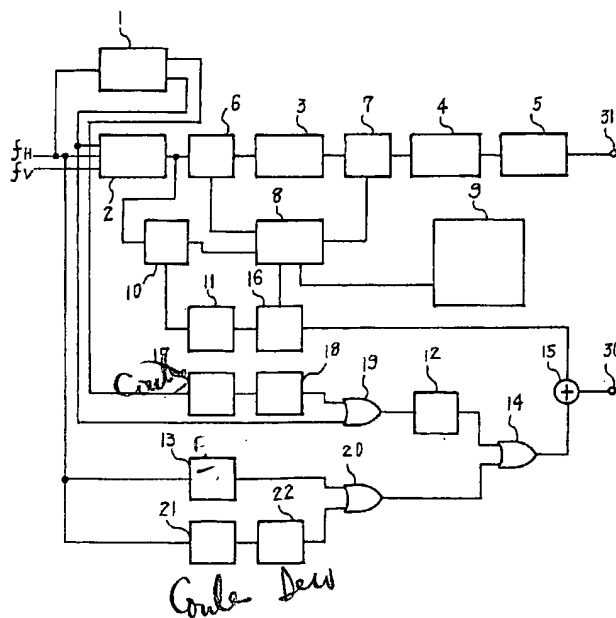
第1図



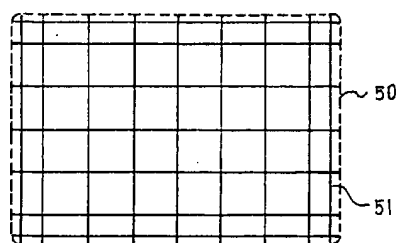
第2図



第3図



第4図



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-185482

(43)Date of publication of application : 20.09.1985

(51)Int.Cl.

H04N 9/28
G09G 1/04

(21)Application number : 59-040313

(71)Applicant : HITACHI LTD

(22)Date of filing : 05.03.1984

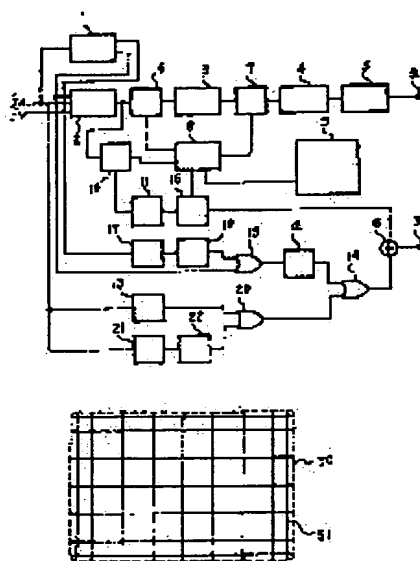
(72)Inventor : FUNADA ETSUO
OSAWA MICHITAKA
OKUBO SHIGEYOSHI

(54) DIGITAL CONVERGENCE DEVICE

(57)Abstract:

PURPOSE: To apply convergence correction with high accuracy by providing a cross hatch pattern generating circuit forming a longitudinal line at both left/ right ends of screen in addition to longitudinal and lateral lines of equal interval and forming a lateral line at both upper/lower ends of the screen so as to extrapolate a correction amount to an adjusting point at the outside of the screen.

CONSTITUTION: A PLL circuit 1 forms an fCLK1 being a frequency N-times fH and a frequency fCLK2 being a frequency M times from a clock signal obtained through M × N multiple of a horizontal deflection frequency (f). A counter 17 counts the fCLK2 of the longitudinal line appearing at both the left/right ends of the screen and a decoder 18 decodes the position at both left/right ends of the screen. The output and the fCLK1 are ORed and a longitudinal line signal of the cross hatch pattern having the longitudinal line at both the left/right ends of the screen is formed through a monostable multivibrator 12. The lateral line of equal interval is generated by frequency-dividing the horizontal deflection frequency fH by a frequency divider 13. The counter 21 counts the fH from the lateral line of both upper/lower screen, and a decoder 22 decodes the position at both ends of upper/lower screen. The signals are ORed by OR circuits 14, 20 and a video output synthesizing the marker signal and the cross hatch pattern signal is obtained by a synthesis circuit 15.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office